

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-072440

(43)Date of publication of application : 12.03.1990

(51)Int.Cl.

G06F 11/28

(21)Application number : 63-225212

(71)Applicant : NEC CORP

(22)Date of filing : 07.09.1988

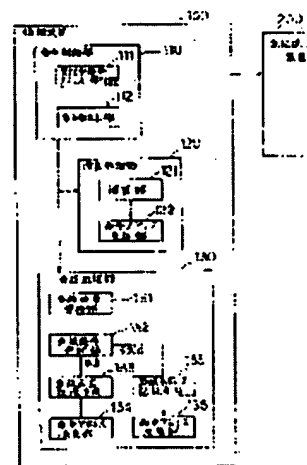
(72)Inventor : TAKAHASHI KENJI

(54) OBSERVATION SYSTEM FOR PROGRAM EXECUTING STEP

(57)Abstract:

PURPOSE: To attain the effective application of a main memory by recording the satisfaction or dissatisfaction of branch to the lower two bits of a branch address part of a branch instruction and observing the execution or non-execution of the program executing step.

CONSTITUTION: A branch process part 130 fetches the contents of a main memory 200 shown by an execution mode instruction address holding part 111 into a branch instruction holding part 131. Then a branch condition deciding part 132 checks whether the branch conditions of a branch instruction are satisfied or not. If so, one of two lower bits of a branch destination address part of the branch instruction held by the part 131 is set at logic '1'. Then the branch instruction is written back to an address of the memory 200 held by the part 111. If not, the other bit is set at logic '1' and the branch instruction is written back to the address of the memory 200. In such a way, only the branch instruction is observed and therefore the deterioration of the actual performance is reduced. Then the memory 200 is effectively used since the memory 200 records the branch instruction itself and requires no other recording area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-72440

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月12日

G 06 F 11/28

3 1 0 E

7343-5B

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 プログラム実行ステップ観測方式

⑯ 特 願 昭63-225212

⑰ 出 願 昭63(1988)9月7日

⑱ 発 明 者 高 橋 賢 二 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

プログラム実行ステップ観測方式

2. 特許請求の範囲

1. 分岐命令における分岐先アドレスが4の倍数に制限されている計算機システムにおいて、

現在実行中の命令の主記憶上のアドレスを保持する実行中命令アドレス保持手段と、

現在実行中の命令が分岐命令であるならば該分岐命令を保持する分岐命令保持手段と、

前記分岐命令の分岐条件が成立したならば前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの1ビットを論理“1”にした後、前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐成立記録手段と、

前記分岐命令の分岐条件が不成立ならば前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの前記分岐成立記録手段で使用されたビットの他のビットを

論理“1”にした後前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐成立記録手段とを有するプログラム実行ステップ観測方式。

2. 分岐命令における分岐先アドレスが4の倍数に制限されている計算機システムにおいて、

現在実行中の命令の主記憶上のアドレスを保持する実行中命令アドレス保持手段と、

現在実行中の命令が分岐命令であるならば該分岐命令を保持する分岐命令保持手段と、

前記分岐命令の分岐トレースを行なうかどうかを設定される分岐トレースモード設定手段と、

前記分岐命令の分岐条件が成立し前記分岐トレースモード設定手段が分岐命令の分岐トレースを示しているならば、前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの1ビットを論理“1”にし、前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐成立記録手段と、

前記分岐命令の分岐条件が不成立となり前記分岐トレースモード設定手段が分岐命令の分岐トレースを示しているならば、前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの前記分岐成立記録手段に使用されたビットの他のビットを論理“1”にし、前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐不成立記録手段とを有するプログラム実行ステップ観測方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は分岐命令における分岐先アドレスが4の倍数アドレスに制限されている計算機システムのプログラム実行ステップ観測方式に関する。

(従来の技術)

従来、プログラムの評価方法の一手法として網羅率を測定する方法があり、このためにプログラムの各ステップに対応するエリアを有する表を主記憶上に用意し、命令の実行ごとにこの表の対応

するエリアを塗りつぶしていた。

(発明が解決しようとする課題)

上述した従来のプログラム実行ステップ観測方式は、プログラムの各ステップに対応するエリアを有する表を主記憶上に用意して命令の実行ごとにその表の対応するエリアを塗りつぶしているために計算機システムの実性能の低下が大きく、また、実性能の低下を抑えるためには、多くの専用回路を用意しなければならないとともに、主記憶上に前記の対応表を用意するために主記憶の利用効率が低下するという欠点がある。

(課題を解決するための手段)

本発明の第1のプログラム実行ステップ観測方式は、

現在実行中の命令の主記憶上のアドレスを保持する実行中命令アドレス保持手段と、

現在実行中の命令が分岐命令であるならば該分岐命令を保持する分岐命令保持手段と、

前記分岐命令の分岐条件が成立したならば前記分岐命令保持手段に保持されている該分岐命令の

分岐先アドレス部の下位2ビットのうちの1ビットを論理“1”にした後、前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐成立記録手段と、

前記分岐命令の分岐条件が不成立ならば前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの前記分岐成立記録手段で使用されたビットの他のビットを論理“1”にし前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐不成立記録手段とを有する。

本発明の第2のプログラム実行ステップ観測方式は、

現在実行中の命令の主記憶上のアドレスを保持する実行中命令アドレス保持手段と、

現在実行中の命令が分岐命令であるならば該分岐命令を保持する分岐命令保持手段と、

前記分岐命令の分岐トレースを行なうかどうかを設定される分岐トレースモード設定手段と、

前記分岐命令の分岐条件が成立し前記分岐ト

レースモード設定手段が分岐命令の分岐トレースを示しているならば、前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの1ビットを論理“1”にし、前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐成立記録手段と、

前記分岐命令の分岐条件が不成立となり前記分岐トレースモード設定手段が分岐命令の分岐トレースを示しているならば、前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの前記分岐成立記録手段に使用されたビットの他のビットを論理“1”にし、前記実行中命令アドレス保持手段に保持されている主記憶上のアドレスに該分岐命令を書戻す分岐不成立記録手段とを有する。

(作用)

分岐命令の分岐アドレス部の下位2ビットに分岐の成立または不成立が記録されてプログラムの実行ステップの実行または不実行が観測でき、プ

プログラムの各ステップに対応するエリアを有する表を主記憶上に用意して塗りつぶすことがないので、計算機システムの実性能の低下が少なく、したがって実性能の低下を抑えるための専用回路の必要もなく、また分岐命令そのものに実行が記録されて他の記憶領域が占有されないので主記憶を有効に利用することができる。

さらに、第2のプログラム実行ステップ観測方式は分岐トレースモード設定手段に分岐命令の分岐トレースを行なうかどうかを設定されていて、分岐トレースの必要がないときは分岐トレースをしないので、一層実性能低下を防止できる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明のプログラム実行ステップ観測方式(特許請求の範囲第1項)の一実施例が適用された計算機システムのブロック図、第2図は第1図の計算機システムで使用される分岐命令の形式を示す図、第3図は第1図の分岐成立記録手段

コード部2は分岐条件を、アドレス部3は分岐先アドレスをそれぞれ表わしている。分岐先アドレスが4の倍数に制限されているのでアドレス部3の下位2ビットは通常は“0”となっている。主記憶装置200にはこれから実行すべきプログラムの命令およびデータが記憶されている。

論理装置100は命令解読部110に含まれる実行中命令アドレス保持部111によって示される主記憶装置200上の内容を命令取出し部112に取り出しその命令の種類を調べ、分岐命令ならば分岐処理部130に、分岐命令以外ならば演算処理部120に制御を渡す。演算処理部120は演算部121で演算を行ない、命令アドレス更新部122によって、実行した命令の命令長に相当する値だけ実行中命令アドレス保持部111の保持するアドレスを更新する。一方、分岐命令ならば分岐処理部130は実行中命令アドレス保持部111で示す主記憶装置200の内容の4バイトを分岐命令保持部131に取込む。その後分岐条件判断部132によって分岐命令の分

岐条件が成立するかどうかを調べる。分岐条件が成立するならば、第3図に示すように、分岐成立記録手段133によって分岐が成立したことが主記憶装置200上に記録される。すなわち、分岐命令保持部131で保持している4バイト(32ビット)の分岐命令のうち下位から2ビット目(ビット30)を論理“1”にし(ステップ11)、次に、実行中命令アドレス保持部111が保持しているその分岐命令の主記憶装置200上のアドレスを取出し(ステップ12)、ビット30を論理“1”にした分岐命令を主記憶装置200上に書き戻す(ステップ13)。その後、命令アドレス変更部134により分岐命令保持部131が保持している分岐先アドレス20ビットのうちの下2ビットを“00”にして実行中命令アドレス保持部111に設定する。

また、分岐条件が不成立ならば、第4図に示すように、分岐不成立記録手段135によって分岐が成立しなかったことが主記憶装置200上に記録される。すなわち、分岐命令保持部131で保

持している4バイト(32ビット)の分岐命令のうち下位から1ビット目(ビット31)を論理“1”にし(ステップ21)、次に実行中命令アドレス保持部111が保持しているその分岐命令の主記憶装置200上のアドレスを取出し(ステップ22)、ビット31を論理“1”にした分岐命令を主記憶装置200上に書き戻す(ステップ23)その後、命令アドレス加算部136により分岐命令の命令長に相当する“4”を実行中命令アドレス保持部111に加算する。

最後に、主記憶装置200に書き戻された分岐命令を取出してアドレス部のビット30およびビット31が論理“1”となっているものの数をそれぞれAおよびBとし、分岐命令の全数をCとすれば網羅率Dは、

$$D = \frac{\text{分岐条件成立の分岐命令数} + \text{分岐条件不成立の分岐命令数}}{\text{分岐命令の全数}}$$

$$= \frac{A + B}{C}$$

れ以外ならば演算処理部120に制御を渡す。ここで、分岐命令および分岐トレースモード設定命令以外の命令ならば演算処理部120中の演算部121で演算を行ない、命令アドレス更新部122によって、実行した命令の命令長に相当する値だけ実行中命令アドレス保持部111の保持するアドレスを更新する。一方、与えられた命令が分岐命令ならば第1図の実施例と同様に、分岐処理部130は実行中命令アドレス保持部111で示す主記憶装置200の内容の4バイトを分岐命令保持部131に取込む。その後、分岐条件判断部132によって分岐命令の分岐条件が成立するかどうかを調べ、分岐条件が成立し、かつ分岐トレースモード設定部113に論理“1”が設定されているならば第6図に示すように、分岐成立記録手段137によって分岐が成立したことが主記憶装置200上に記録される。すなわち、分岐トレースモード設定部113が“1”かどうかを判定(ステップ31)、“1”ならば分岐トレースモードであるので分岐命令保持部131で保持

により求められる。

第5図は本発明のプログラム実行ステップ観測方式(特許請求の範囲第2項)の一実施例が適用された計算機システムのブロック図、第6図は第5図の分岐成立記録手段137の処理を示すフローチャート、第7図は第5図の分岐不成立記録手段138の処理を示すフローチャートである。

この計算機システムは、第1図の論理装置100の命令解読部110に分岐トレースモード設定部113が付加され、これに伴って関係各部各手段の機能が増加され、なかんずく分岐処理部130の分岐記録手段133に代って機能が增加された分岐成立記録手段137が、また、分岐不成立記録手段135に代って機能が增加された分岐不成立記録手段138が備えられている。

論理装置100は主記憶装置200上の内容を分岐取出し部112に取出しその命令の種類を調べ分岐命令ならば分岐処理部130に制御を渡し、分岐トレースモード設定命令ならば分岐トレースモード設定部113を論理“1”にし、そ

している4バイト(32ビット)の分岐命令のうち下位から2ビット目(ビット30)を論理“1”にし(ステップ32)、次に、実行中命令アドレス保持部111の保持しているその分岐命令の主記憶装置200上のアドレスを取出し(ステップ33)ビット30を論理“1”にした分岐命令を主記憶装置200上に書き戻す(ステップ34)。その後、命令アドレス変更部134により分岐命令保持部131が保持している分岐先アドレス20ビットのうちの下2ビットを“00”とみなして実行中命令アドレス保持部111の内容を変更する。

また、分岐条件が不成立で、分岐トレースモード設定部113に論理“1”が設定されているならば第7図に示すように分岐不成立記録手段138によって分岐が成立しなかったことが主記憶装置200上に記録される。すなわち、分岐トレースモード設定部113が“1”かどうか判定し(ステップ41)、“1”ならば分岐トレースモードであるので分岐命令保持部131で保持さ

れている4バイト(32ビット)の分岐命令のうち下位から1ビット目(ビット31)を論理“1”にし(ステップ42)、次に実行中命令アドレス保持部111に保持されているその分岐命令の主記憶装置200上のアドレスを取出し(ステップ43)ビット31を論理“1”にした分岐命令を主記憶装置200上に書戻す(ステップ44)。その後、命令アドレス加算部136により分岐命令の命令長に相当する“4”を実行中命令アドレス保持部111に加算する。

この後、分岐トレースモード設定部113に論理“1”が設定されているときは、第1図の計算機システムの場合と同様に主記憶装置200を参照して網羅率を測定する。

(発明の効果)

以上説明したように本発明は、現在実行中の分岐命令の分岐条件が成立したならば、分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの1ビットを論理“1”にし実行中命令アドレス保持手段に保持さ

れている主記憶上のアドレスに該分岐命令を書戻し、前記分岐命令の分岐条件が不成立ならば、前記分岐命令保持手段に保持されている該分岐命令の分岐先アドレス部の下位2ビットのうちの他のビットを論理“1”にして主記憶上の前記アドレスに該分岐命令を書戻すことにより、プログラムステップ観測のために主記憶上にプログラムの各ステップの対応表を用意して辿りつづることなく、分岐命令だけを観測の対象としているので実性能の低下が少なく、また少ない専用回路で実現でき、分岐命令そのものに記録して他の記録領域を必要としないので主記憶を有効利用することができ、さらに分岐命令の分岐トレースを行なうかどうかを設定される分岐トレースモード設定手段を設けた場合は、分岐トレースの必要がないときは一層、実性能の低下を減ずることができるという効果がある。

4. 図面の簡単な説明

第1図は本発明のプログラム実行ステップ観測方式(特許請求の範囲第1項)の一実施例が適用

された計算機システムのブロック図、第2図は第1図および第5図の計算機システムで使用される分岐命令の形式を示す図、第3図は第1図の分岐成立記録手段133の処理を示すフローチャート、第4図は第1図の分岐不成立記録手段135の処理を示すフローチャート、第5図は本発明のプログラム実行ステップ観測方式(特許請求の範囲第2項)の一実施例が適用された計算機システムのブロック図、第6図は第5図の分岐成立記録手段137の処理を示すフローチャート、第7図は第5図の分岐不成立記録手段138の処理を示すフローチャートである。

1 ……命令コード部、2 ……条件部、

3 ……分岐先アドレス部、

11, 12, 13, 21, 22, 23, 31, 32, 33, 34, 41, 42, 43, 44

……ステップ、

100 ……論理装置、110 ……命令解釈部、

111 ……実行中命令アドレス保持部、

112 ……命令取出し部、

113 ……分岐トレースモード設定部、

120 ……演算処理部、

121 ……演算部、

122 ……命令アドレス更新部、

130 ……分岐処理部、

131 ……分岐命令保持部、

132 ……分岐条件判断部、

133, 137 ……分岐成立記録手段、

134 ……命令アドレス変更部、

135, 138 ……分岐不成立記録手段、

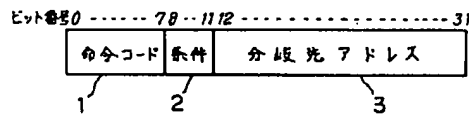
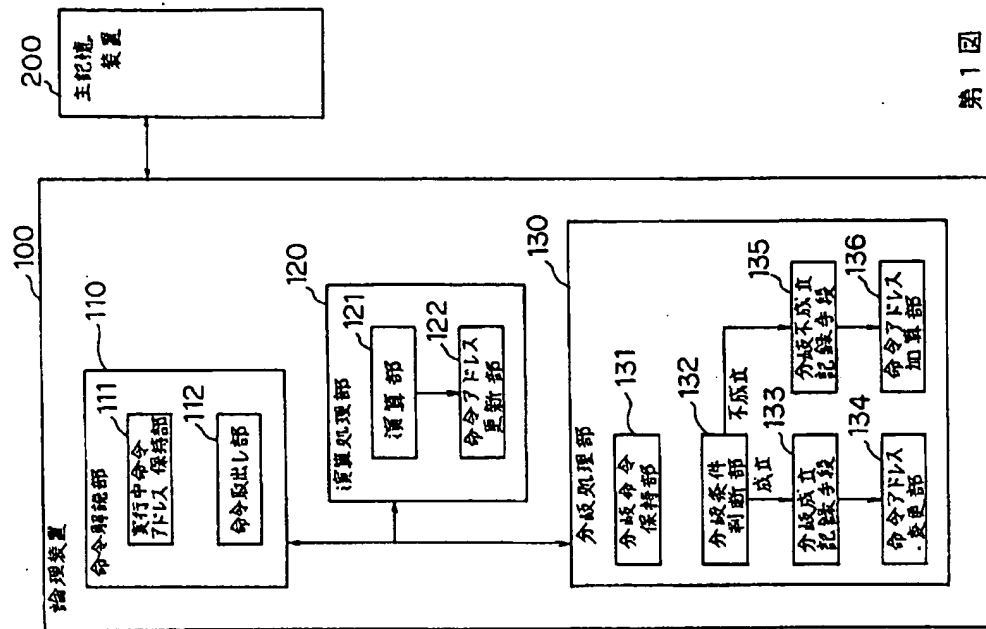
136 ……命令アドレス加算部、

200 ……主記憶装置。

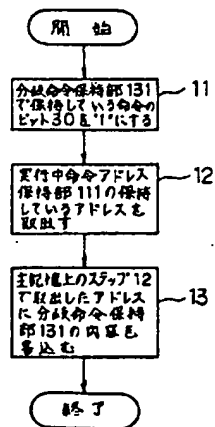
特許出願人 日本電気株式会社

代理人 弁理士 内原 晋

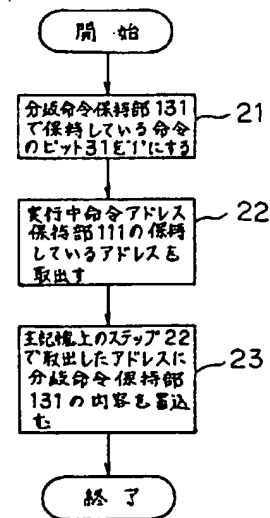
第1図



第2図

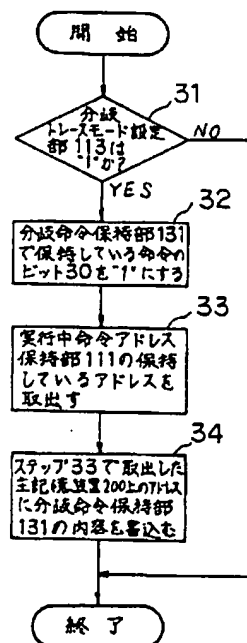
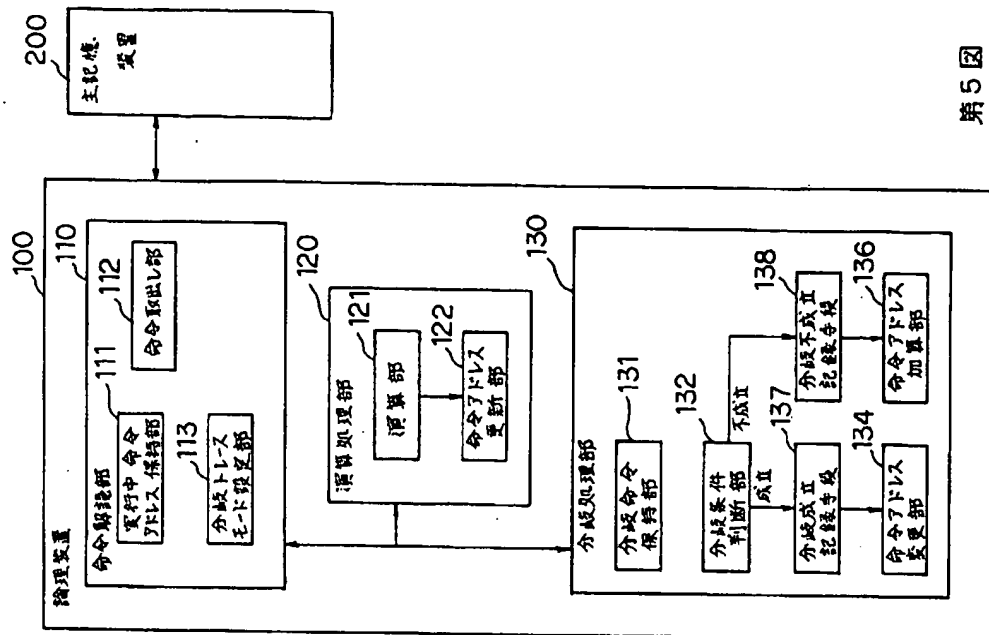


第3図

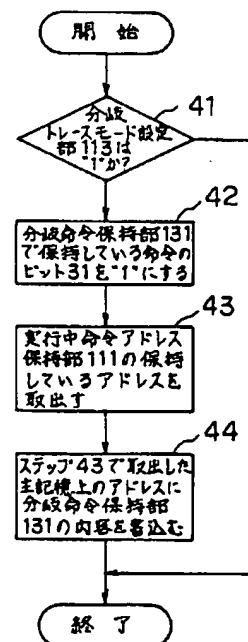


第4図

第5図



第6図



第7図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.